

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-306939

(P2000-306939A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)
H 0 1 L	21/60	H 0 1 L 21/92	6 0 2 L
	23/12		6 0 2 D
		23/12	L

審査請求 未請求 請求項の数8 O L (全 5 頁)

(21)出願番号 特願平11-113658

(22)出願日 平成11年4月21日(1999.4.21)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 光安 清志

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(74)代理人 100058479

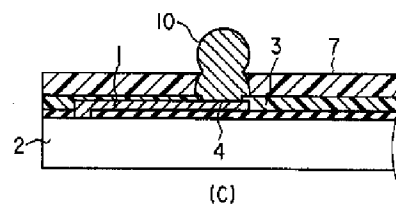
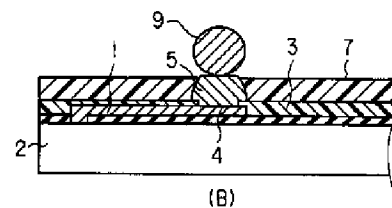
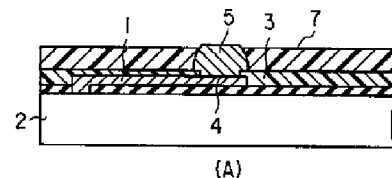
弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 安価に製造でき、かつ量産性に優れるとともに端子が離脱する可能性が小さくなる構造を持つ半導体装置を提供すること。

【解決手段】 端子配置部4を有する再配線層1と、端子配置部4が露出する第1の露出部を有する第1の絶縁性樹脂層3と、再配線層1に電気的に接続されるとともに、先細りの形状を持つ第1の導電性端子5と、第1の導電性端子5が露出する第2の露出部を有する第2の樹脂層7と、第1の導電性端子5に電気的に接続される第2の導電性端子10とを具備することを特徴としている。



【特許請求の範囲】

【請求項 1】 半導体チップ上に形成され、端子配置部を有する再配線層と、

前記半導体チップおよび前記再配線層上に形成され、前記端子配置部を露出させる第 1 の露出部を有する第 1 の絶縁性樹脂層と、

前記第 1 の露出部上に形成され、前記再配線層に電氣的に接続されるとともに、前記第 1 の絶縁性樹脂層から上方向に先細りする形状を持つ第 1 の導電性端子と、

前記第 1 の絶縁性樹脂層上に形成された、前記第 1 の導電性端子を露出させる第 2 の露出部を有する第 2 の絶縁性樹脂層と、

前記第 2 の露出部上に形成された、前記第 1 の導電性端子に電氣的に接続される第 2 の導電性端子とを具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 の絶縁性樹脂層の厚さと前記第 2 の絶縁性樹脂層の厚さとを合計した厚さは、 $50\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の導電性端子の高さは、前記第 1 の絶縁性樹脂層の厚さと前記第 2 の絶縁性樹脂層の厚さとを合計した厚さ以上であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記第 1 の導電性端子の形状は、球台であること特徴とする請求項 1 乃至請求項 3 いずれか一項に記載の半導体装置。

【請求項 5】 前記第 1 の導電性端子の融点は、前記第 2 の導電性端子の融点よりも高いことを特徴とする請求項 1 乃至請求項 4 いずれか一項に記載の半導体装置。

【請求項 6】 半導体チップ上に、端子配置部を有する再配線層を形成する工程と、

前記半導体チップおよび前記再配線層上に、前記端子配置部を露出させる第 1 の露出部を有する第 1 の絶縁性樹脂層を形成する工程と、

前記第 1 の露出部上に、前記再配線層に電氣的に接続されるとともに、前記第 1 の絶縁性樹脂層から上方向に先細りする形状を持つ第 1 の導電性端子を形成する工程と、

前記第 1 の絶縁性樹脂層上に、前記第 1 の導電性端子を露出させる第 2 の露出部を有する第 2 の絶縁性樹脂層を形成する工程と、

前記第 2 の露出部上に、前記第 1 の導電性端子に電氣的に接続される第 2 の導電性端子を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 1 の導電性端子は、導電物を加熱溶融して半球状に形成することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記第 2 の露出部は、前記第 2 の絶縁性絶縁層を前記第 1 の導電性端子が露出するまで除去して形成することを特徴とする請求項 6 および請求項 7 いず

れかに記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、チップスケールパッケージ (CSP) に関する。

【0002】

【従来の技術】 携帯電話など、小型携帯機器の普及に伴い、その部品に対する小型化の要求が日増しに強くなってきている。半導体装置においても、従来のチップサイズに対してかなり大きな実装面積が必要なプラスチックパッケージから、パッケージ裏面の全体を端子面とし、実装面積を低減したボールグリッドアレイ (BGA) など、高密度実装に適したパッケージが実用化されている。現在、BGA は、より小型のものが開発されている。たとえばチップとほぼ同じ程度の大きさのパッケージが開発されており、その大きさから、チップサイズパッケージ (CSP) と総称されている。CSP の中にはさらに小型のものが開発されつつあり、その外形寸法は、厚さを除いてチップと等しい大きさになっている。

【0003】 このチップと等しい大きさを持つパッケージは、通常、チップ表面に端子を立て、続いて樹脂層の形成と外部端子の形成を行い、半導体装置としている。

【0004】

【発明が解決しようとする課題】 しかし、従来の構造およびその製造方法では、ウェーハ全体を金型に入れて、樹脂成形するなどのプロセスが必要になるため、製造コストが非常に高くなり、工業製品として世の中に広めるのが難しい、という事情があった。

【0005】 この発明は、上記事情を解決するためになされたもので、その主要な目的は、安価に製造でき、かつ量産性に優れるとともに端子が離脱する可能性が小さくなる構造を持つ半導体装置およびその製造方法を提供することである。

【0006】

【課題を解決するための手段】 上記目的を達成するために、この発明に係る半導体装置は、半導体チップ上に形成され、端子配置部を有する再配線層と、前記半導体チップおよび前記再配線層上に形成され、前記端子配置部を露出させる第 1 の露出部を有する第 1 の絶縁性樹脂層と、前記第 1 の露出部上に形成され、前記再配線層に電氣的に接続されるとともに、前記第 1 の絶縁性樹脂層から上方向に先細りする形状を持つ第 1 の導電性端子と、前記第 1 の絶縁性樹脂層上に形成された、前記第 1 の導電性端子を露出させる第 2 の露出部を有する第 2 の絶縁性樹脂層と、前記第 2 の露出部上に形成された、前記第 1 の導電性端子に電氣的に接続される第 2 の導電性端子とを具備することを特徴としている。

【0007】 また、その製造方法は、半導体チップ上に、端子配置部を有する再配線層を形成し、前記半導体チップおよび前記再配線層上に、前記端子配置部を露出

させる第1の露出部を有する第1の絶縁性樹脂層を形成し、前記第1の露出部上に、前記再配線層に電氣的に接続されるとともに、前記第1の絶縁性樹脂層から上方向に先細りする形状を持つ第1の導電性端子を形成し、前記第1の絶縁性樹脂層上に、前記第1の導電性端子を露出させる第2の露出部を有する第2の絶縁性樹脂層を形成し、前記第2の露出部上に、前記第1の導電性端子に電氣的に接続される第2の導電性端子を形成する。

【0008】上記半導体装置およびその製造方法であると、第1の導電性端子が先細りの形状を持つ。このような第1の導電性端子は、たとえばハンダなど、安価で、量産性に優れる材料を用いて形成することができる。また、第1の導電性端子が先細りであるので、第1の導電性端子は、第2の絶縁性樹脂層から離脱し難くなる。よって、安価に製造でき、かつ量産性に優れるとともに端子が離脱する可能性が小さくなる構造を持つ半導体装置およびその製造方法を得ることができる。

【0009】

【発明の実施の形態】以下、この発明の一実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0010】一実施形態に係る半導体装置を、その製造方法とともに説明する。

【0011】図1(A)～(D)、図2(A)～(C)はそれぞれ、一実施形態に係る半導体装置を主要な製造工程毎に示した断面図である。

【0012】まず、図1(A)に示すように、再配線層1を表面に設けたチップ(半導体基板)2を用意する。再配線層1は、たとえばチップ2に設けられたパッドを介してチップ2内部に形成された集積回路に電氣的に接続されている。次いで、印刷法を用いて、チップ2上にポリイミド系の樹脂を印刷し、第1の絶縁性樹脂層3を形成する。第1の絶縁性樹脂層3の形成に際しては、再配線層1の端子配置部4が、絶縁性樹脂により覆われないようにして行われる。次いで、端子配置部4上に、第1の導電性端子5を形成する。第1の導電性端子5の形成の一例は、図1(B)に示すように、ボール搭載法を用いて、フラックスが付いたハンダボール6を端子配置部4上に搭載する。次いで、図1(C)に示すように、ハンダボール6を加熱溶融して半球状とし、第1の導電性端子5を形成する。

【0013】次に、図1(D)に示すように、チップ1上にエポキシ系の樹脂を塗布し、加熱硬化させて第2の絶縁性樹脂層7を形成する。このとき、第1の導電性端子5の頂点付近の第2の絶縁性樹脂層7は非常に薄い状態になっている。この部分を薄皮部分8と称す。次いで、グラインダーを用いて、この薄皮部分8を切削し、第1の導電性端子5を露出させる。この状態を図2(A)に示す。

【0014】次に、図2(B)に示すように、第1の導

電性端子5が露出した部分上に、第1の導電性端子5を形成したときと同様、ボール搭載法を用いて、第1の導電性端子5が露出した部分上に、ハンダボール9を搭載する。次いで、図2(C)に示すように、ハンダボール9を加熱溶融して半球状とし、第2の導電性端子10を形成する。

【0015】このような製造方法により、一実施形態に係る半導体装置が完成する。図3に、一実施形態に係る半導体装置全体の平面を概略的に示す。図3において、2C-2C線に沿う断面が、図2Cに示す断面に対応している。

【0016】上記一実施形態に係る半導体装置において、第1の絶縁性樹脂層3を形成するのは、第1の導電性端子5の形状を保つためである。特に導電物としてハンダを用いた場合には、第1の絶縁性樹脂層3がないと、再配線層1の部分にハンダが広がり、端子として形状を保てない。したがって、第1の絶縁性樹脂層3の厚さは、第1の導電性端子5の形成に問題がない範囲であれば良いが、基本的に第1の導電性端子5の高さ以上に形成されてはいけない。また、その形成方法としては、上記印刷法その他、スピンコート法などを用いることができる。また、第1の絶縁性樹脂層3としてポリイミド系の樹脂を用いたが、他の樹脂を用いることができる。

【0017】第1の導電性端子としては、低融点金属、特に製造コストの面からハンダが適しており、その形成方法としては、上記ボール搭載法その他、ハンダペーストの印刷、ハンダジェット法などを用いることができる。

【0018】第2の絶縁性樹脂層7は、チップ2の熱膨張率と、図示せぬ配線基板の熱膨張率との差から生ずる応力を緩和し、接続に関する信頼性を高めるために形成される。したがって、ある程度の厚さの制限があり、たとえば50 μ m以上の厚さが必要である。しかし、第1の絶縁性樹脂層3にも応力を緩和する作用があるため、第1の絶縁性樹脂層3の厚さと第2の絶縁性樹脂層7の厚さとの合計の厚さが、50 μ m以上であれば良い。また、合計した厚さが第1の導電性端子5の高さを超えた場合、第1の導電性端子5の表面から、第2の絶縁性樹脂層7を除去するプロセスが煩雑になる。したがって、合計した厚さには上限があり、たとえば第1の導電性端子5の高さ以下にする必要がある。現実的には500 μ m以下が好ましい。また、第2の絶縁性樹脂層7としてエポキシ系の樹脂を用いたが、他の樹脂、たとえばシリコン系の樹脂を用いることができる。また、これらの樹脂に限られるものではなく、応力を緩和する緩衝部材としての効果があり、かつ第1の絶縁性樹脂層3に対して良好な密着性が得られるものであれば何でも良い。

【0019】第1の導電性端子5の表面から第2の絶縁性樹脂層7を除去するのは、第2の導電性端子10を、第1の導電性端子5に電氣的に接触させるためである。したがって、除去する部分は、第1の導電性端子5の頂

点付近であり、かつ除去後に第2の導電性端子10が形成し易い状態になっている必要がある。その除去方法としては、上記グラインダーを用いた切削の他、レーザーによる除去などがある。どちらの除去方法も、第2の絶縁性樹脂層7の除去だけでなく、第1の導電性端子5を変形させたり、あるいは除去したりすることになるが、第1の導電性端子5の形状が、第2の導電性端子10を形成しやすい形状になるのであれば問題はない。

【0020】第2の導電性端子10もまた、第1の導電性端子5と同様、ハンダが適しており、その形成方法は、上記ボール搭載法の他、ハンダペーストの印刷、ハンダジェット法などを用いることができる。

【0021】また、第1の導電性端子5の材質と第2の導電性端子10の材質とが同じである場合、特にハンダのように熔融する金属の場合、それらが熔融しあい、1つの端子となる。このように第1の導電性端子5と第2の導電性端子10とを互いに同じ材質とし、一体化するようにしても良い。しかし、第1の導電性端子5の融点と第2の導電性端子10の融点とを互いに変えるようにしてもよい。この場合には、第1の導電性端子5の融点を、第2の導電性端子10の融点よりも高くするのが好ましい。なぜなら、第1の導電性端子5が熔融して再配線層1から離脱したりする事情を解消でき、接続に関する信頼性を高めることができるからである。融点を互いに変えるには、第1の導電性端子5に融点の高い材料を用い、第2の導電性端子10に第1の導電性端子5の融点よりも低い材料を用いれば良い。あるいは図4の状態図に示すように、第2の導電性端子10に、融点約183℃の共晶ハンダ（Pb63wt%、Sn37wt%）を用い、第1の導電性端子5に、共晶ハンダ以外のハンダ、たとえば融点が200℃前後のハンダⅠ（Pb83wt%、Sn17wt%）や、ハンダⅡ（Pb55wt%、Sn45wt%）を用いれば良い。

【0022】一実施形態に係る半導体装置によれば、樹脂印刷、ハンダボール搭載、および薄皮の切削のように比較的安価で、量産性に優れたプロセスの組み合わせだけで製造することができる。このため、製造した半導体装置を安価に提供することができる。

【0023】また、一実施形態に係る半導体装置では、第1の導電性端子5を、加熱熔融して形成するので半球

状になる。半球状の第1の導電性端子5は、第1の絶縁性樹脂層の表面から遠ざかるに連れて細くなる、いわゆる先細りの形状である。第1の導電性端子5の形状を先細りとすれば、第1の導電性端子5は、第2の絶縁性樹脂層7から抜け難くなる。よって、先細りの形状を有する第1の導電性端子5は、接続に関する信頼性が高まる、という利点を得ることができる。先細りの形状としては、上記球帯により囲まれるような球台の他、あるいは台（円錐台、角錐台など）、錐（円錐、角錐など）、あるいは凸型など、第1の導電性端子5のうち、第2の絶縁性樹脂層3から露出する部分の断面の面積が、第2の絶縁性樹脂層3内における断面の面積よりも小さくなる形状であれば良い。

【0024】

【発明の効果】以上説明したように、この発明によれば、安価に製造でき、かつ量産性に優れるとともに端子が離脱する可能性が小さくなる構造を持つ半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】図1（A）～（D）はそれぞれこの発明の一実施形態に係る半導体装置を主要な製造工程毎に示した断面図。

【図2】図2（A）～（C）はそれぞれこの発明の一実施形態に係る半導体装置を主要な製造工程毎に示した断面図。

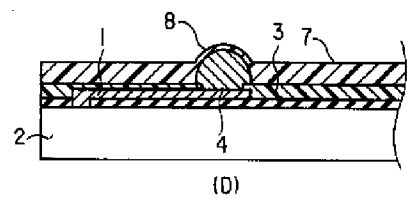
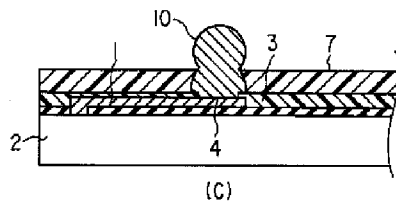
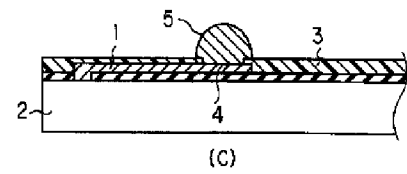
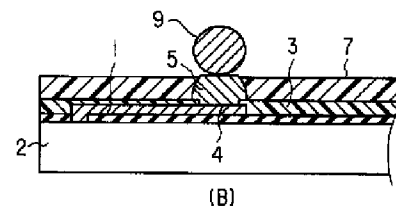
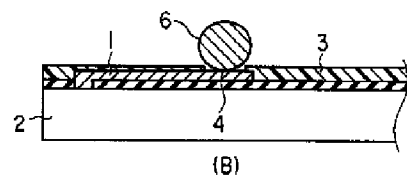
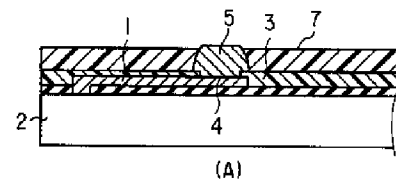
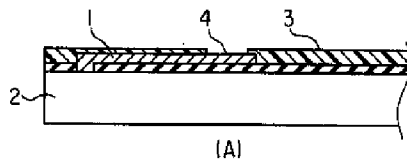
【図3】図3はこの発明の一実施形態に係る半導体装置を概略的に示す平面図。

【図4】図4はハンダの状態図。

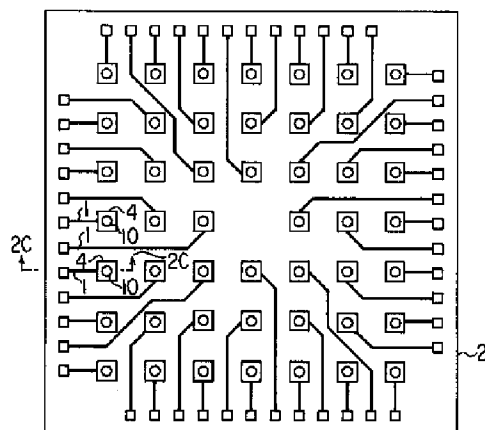
【符号の説明】

- 1…再配線層、
- 2…チップ、
- 3…第1の絶縁性樹脂層、
- 4…端子配置部、
- 5…第1の導電性端子、
- 6…ハンダボール、
- 7…第2の絶縁性樹脂層、
- 8…薄皮部分、
- 9…ハンダボール、
- 10…第2の導電性端子。

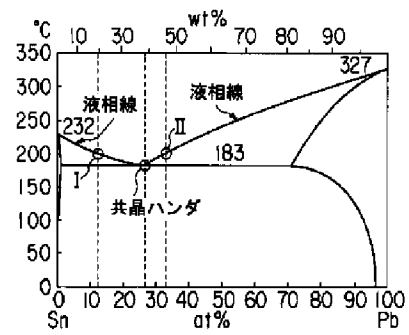
【図 2】



【図 3】



【図 4】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-306939

(43)Date of publication of application : 02. 11. 2000

(51)Int.Cl. H01L 21/60
H01L 23/12

(21)Application number : 11-113658 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 21. 04. 1999 (72)Inventor : MITSUYASU KIYOSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a semiconductor device at low cost by forming the first conductive terminal to connect a rewiring layer on the exposed section of the first insulating resin layer and forming the second conductive terminal to connect the first conductive terminal on the exposed section of the second insulating resin layer made on the first insulating resin layer.

SOLUTION: Polyimide resin is printed on a chip 2 and first insulating resin 3 is made and a solder ball mounted on the terminal arrangement part 4 of a rewiring layer 1 is heated and fused into hemispherical form thus a first conductive terminal 5 is made. Epoxy resin is applied on a chip land is thermoset to form a second insulating resin layer 7 and a solder ball mounted on the section where the first conductive terminal 5 is exposed is heated and fused into spherical form to make a second conductive terminal 10. Hereby a semiconductor device which can be manufactured at low cost and is excellent in mass productivity and has such a structure that the possibility of the terminal breaking away becomes small and its manufacture can be obtained.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device comprising:

A rewiring layer which is formed on a semiconductor chip and has a

terminal arrangement part.

The 1st insulating resin layer that has the 1st exposed part to which it is formed on said semiconductor chip and said rewiring layer and said terminal arrangement part is exposed.

The 1st conductive terminal that has the shape which tapers off above from said 1st insulating resin layer while being formed on said 1st exposed part and electrically being connected to said rewiring layer.

The 2nd insulating resin layer that has the 2nd exposed part that was formed on said 1st insulating resin layer and to which said 1st conductive terminal is exposed and the 2nd conductive terminal that were formed on said 2nd exposed part and that is electrically connected to said 1st conductive terminal.

[Claim 2] The semiconductor device according to claim 1 wherein thickness which totaled thickness of said 1st insulating resin layer and thickness of said 2nd insulating resin layer is not less than 50 micrometers 500 micrometers or less.

[Claim 3] The semiconductor device according to claim 2 wherein height of said 1st conductive terminal is more than thickness which totaled thickness of said 1st insulating resin layer and thickness of said 2nd insulating resin layer.

[Claim 4] The semiconductor device according to any one of claims 1 to 3 by which it is being [shape of said 1st conductive terminal / a spherical segment] characterized.

[Claim 5] The semiconductor device according to any one of claims 1 to 4 wherein the melting point of said 1st conductive terminal is higher than the melting point of said 2nd conductive terminal.

[Claim 6] A manufacturing method of a semiconductor device characterized by comprising the following.

A process of forming a rewiring layer which has a terminal arrangement part on a semiconductor chip.

A process of forming the 1st insulating resin layer that has the 1st exposed part to which said terminal arrangement part is exposed on said semiconductor chip and said rewiring layer.

A process of forming the 1st conductive terminal that has the shape which tapers off above from said 1st insulating resin layer on said 1st exposed part while electrically being connected to said rewiring layer.

A process of forming the 2nd insulating resin layer that has the 2nd exposed part to which said 1st conductive terminal is exposed on said 1st insulating resin layer and a process of forming the 2nd conductive terminal electrically connected to said 1st conductive terminal on said

2nd exposed part.

[Claim 7]A manufacturing method of the semiconductor device according to claim 6wherein said 1st conductive terminal carries out heat melting of the electric conduction thing and forms it hemispherical.

[Claim 8]claim 6wherein it removes and said 2nd exposed part forms until said 1st conductive terminal exposes said 2nd insulating insulating layerand claim 7 -- a manufacturing method of a semiconductor device given in either.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to a chip scale package (CSP).

[0002]

[Description of the Prior Art]The demand of the miniaturization to the part is becoming strong day by day with the spread of small portable devices such as a cellular phone. Also in the semiconductor device to the conventional chip size the whole package rear face is made into a terminal face and the package suitable for high density assembly such as a ball grid array (BGA) which reduced the packaging area is put in practical use from the plastic package which needs a quite big packaging area. Now what has smaller BGA is developed. For example the package of the size of the almost same grade as a chip is developed and it is named the chip-size package (CSP) generically from the size. A still smaller thing is being developed in CSP and the outside dimension has a size equal to a chip except for thickness.

[0003]The package with a size equal to this chip usually stands a terminal and carries out formation of a resin layer and formation of an external terminal to a chip surface continuously and is used as the semiconductor device.

[0004]

[Problem(s) to be Solved by the Invention]However in a conventional structure and a manufacturing method for the same since the process of putting the whole wafer into a metallic mold and resin-molding it was needed the manufacturing cost became very high and there was a situation that it was difficult to spread in the world as an industrial commodity.

[0005]While it was made in order that this invention might solve the

above-mentioned situation and being able to manufacture that main purpose cheaply and excelling in mass production nature it is providing a semiconductor device in which a possibility a terminal breaking away has the structure which becomes small and a manufacturing method for the same. [0006]

[Means for Solving the Problem] To achieve the above objects this invention is characterized by a semiconductor device comprising the following.

A rewiring layer which is formed on a semiconductor chip and has a terminal arrangement part.

The 1st insulating resin layer that has the 1st exposed part to which it is formed on said semiconductor chip and said rewiring layer and said terminal arrangement part is exposed.

The 1st conductive terminal that has the shape which tapers off above from said 1st insulating resin layer while being formed on said 1st exposed part and electrically being connected to said rewiring layer.

The 2nd insulating resin layer that has the 2nd exposed part that was formed on said 1st insulating resin layer and to which said 1st conductive terminal is exposed and the 2nd conductive terminal that were formed on said 2nd exposed part and that is electrically connected to said 1st conductive terminal.

[0007] The manufacturing method forms a rewiring layer which has a terminal arrangement part on a semiconductor chip. While forming the 1st insulating resin layer that has the 1st exposed part to which said terminal arrangement part is exposed on said semiconductor chip and said rewiring layer and electrically being connected to said rewiring layer on said 1st exposed part, the 1st conductive terminal with shape which tapers off above from said 1st insulating resin layer is formed. On said 1st insulating resin layer, the 2nd insulating resin layer that has the 2nd exposed part to which said 1st conductive terminal is exposed is formed and the 2nd conductive terminal electrically connected to said 1st conductive terminal is formed on said 2nd exposed part.

[0008] It has the shape of tapering off of the 1st conductive terminal by their being the above-mentioned semiconductor device and a manufacturing method for the same. Solder etc. are cheap and such 1st conductive terminal can form them using material which is excellent in mass production nature for example. Since the 1st conductive terminal is tapering off, the 1st conductive terminal becomes difficult to secede from the 2nd insulating resin layer. Therefore while being able to manufacture cheaply and excelling in mass production nature a semiconductor device

with structure where a possibility that a terminal will break away becomes small and a manufacturing method for the same can be obtained.

[0009]

[Embodiment of the Invention] Hereafter one embodiment of this invention is described with reference to drawings. On the occasion of this explanation a common reference mark is given to the portion which crosses and is common in a complete diagram.

[0010] The semiconductor device concerning one embodiment is explained with the manufacturing method.

[0011] Drawing 1 (A) - (D) and drawing 2 (A) - (C) is a sectional view showing the semiconductor device concerning one embodiment for every main manufacturing processes respectively.

[0012] First as shown in drawing 1 (A) the chip (semiconductor substrate) 2 which formed the rewiring layer 1 in the surface is prepared. The rewiring layer 1 is electrically connected to the integrated circuit formed in chip 2 inside via the pad provided for example in the chip 2. Subsequently using print processes on the chip 2 resin of a polyimide system is printed and the 1st insulating resin layer 3 is formed. When forming the 1st insulating resin layer 3 as the terminal arrangement part 4 of the rewiring layer 1 is not covered with insulating resin it is performed. Subsequently the 1st conductive terminal 5 is formed on the terminal arrangement part 4. An example of formation of the 1st conductive terminal 5 carries the solder ball 6 to which flux was attached on the terminal arrangement part 4 using the ball carrying method as shown in drawing 1 (B). Subsequently as shown in drawing 1 (C) heat melting of the solder ball 6 is carried out it supposes that it is hemispherical and the 1st conductive terminal 5 is formed.

[0013] Next as shown in drawing 1 (D) on the chip 1 heat cure of the resin of an epoxy system is applied and carried out and the 2nd insulating resin layer 7 is formed. At this time the 2nd insulating resin layer 7 of the vertex vicinity of the 1st conductive terminal 5 is in the very thin state. This portion is called the pellicle portion 8. Subsequently using a grinder this pellicle portion 8 is cut and the 1st conductive terminal 5 is exposed. This state is shown in drawing 2 (A).

[0014] Next as shown in drawing 2 (B) the solder ball 9 is carried on the portion which the 1st conductive terminal 5 exposed using the ball carrying method like the time of forming the 1st conductive terminal 5 on the portion which the 1st conductive terminal 5 exposed. Subsequently as shown in drawing 2 (C) heat melting of the solder ball 9 is carried out it supposes that it is hemispherical and the 2nd conductive terminal 10 is formed.

[0015]The semiconductor device concerning one embodiment is completed with such a manufacturing method. The flat surface of the whole semiconductor device concerning one embodiment is roughly shown in drawing 3. In drawing 3the section which meets a 2C-2C line is equivalent to the section shown in drawing 2 C.

[0016]In the semiconductor device concerning the one above-mentioned embodimentthe 1st insulating resin layer 3 is formed in order to maintain the shape of the 1st conductive terminal 5. If there is no 1st insulating resin layer 3 when solder is used especially as an electric conduction thingsolder spreads into the portion of the rewiring layer land shape cannot be maintained as a terminal. Thereforethe thickness of the 1st insulating resin layer 3 must not be fundamentally formed more than the height of the 1st conductive terminal 5although what is necessary is just a range which does not have a problem in formation of the 1st conductive terminal 5. As the formation methoda spin coat method besides the above-mentioned print processes etc. can be used. Other resin can be used although resin of a polyimide system was used as the 1st insulating resin layer 3.

[0017]As the 1st conductive terminalssolder is suitable from the field of the low melting point metalespecially the manufacturing costand printing of solder paste besides the above-mentioned ball carrying methoda solder jet processetc. can be used as the formation method.

[0018]The 2nd insulating resin layer 7 eases the stress produced from the difference of the coefficient of thermal expansion of the chip 2and the coefficient of thermal expansion of the wiring board which is not illustratedand it is formed in order to improve the reliability about connection. Thereforethere is restriction of a certain amount of thicknessfor examplea thickness of not less than 50 micrometers is required. Howeverwhat is necessary is for the thickness of the sum total of the thickness of the 1st insulating resin layer 3 and the thickness of the 2nd insulating resin layer 7 just to be not less than 50 micrometerssince the 1st insulating resin layer 3 also acts to ease stress. When the total thickness exceeds the height of the 1st conductive terminal 5the process of removing the 2nd insulating resin layer 7 from the surface of the 1st conductive terminal 5 becomes complicated. Thereforethere is a maximum in the total thicknessfor exampleit is necessary to make it below the height of the 1st conductive terminal 5. Actually500 micrometers or less are preferred. Although resin of the epoxy system was used as the 2nd insulating resin layer 7other resinfor exampleresin of a silicone seriescan be used. It is [anything] goodif it is not restricted to these resinand there is an

effect as a buffer member which eases stress and good adhesion is acquired to the 1st insulating resin layer 3.

[0019]The 2nd insulating resin layer 7 is removed from the surface of the 1st conductive terminal 5 in order to contact the 2nd conductive terminal 10 to the 1st conductive terminal 5 electrically. Therefore the portion to remove is the vertex vicinity of the 1st conductive terminal 5 and needs to be in the state of being easy to form the 2nd conductive terminal 10 after removal. There are removal by laser besides [using the above-mentioned grinder as the removing method] cutting etc.

Although it will make change not only removal of the 2nd insulating resin layer 7 but the 1st conductive terminal 5 both of the removing methods or remove it will be satisfactory if the shape of the 1st conductive terminal 5 turns into shape which is easy to form the 2nd conductive terminal 10.

[0020]Solder is suitable and as for the formation method the 2nd conductive terminal 10 as well as the 1st conductive terminal 5 can use printing of solder paste besides the above-mentioned ball carrying method a solder jet process etc.

[0021]When the construction material of the 2nd conductive terminal 10 is the same as the construction material of the 1st conductive terminal 5 in the case of the metal fused like especially solder they fuse and suit and become one terminal. Thus the 1st conductive terminal 5 and 2nd conductive terminal 10 of each other are made into the same construction material and it may be made to unify. However it may be made to change mutually the melting point of the 1st conductive terminal 5 and the melting point of the 2nd conductive terminal 10. In this case it is preferred to make the melting point of the 1st conductive terminal 5 higher than the melting point of the 2nd conductive terminal 10. It is because the situation which the 1st conductive terminal 5 fuses and secedes from the rewiring layer 1 can be canceled and the reliability about connection can be improved. What is necessary is to use material with the high melting point for the 1st conductive terminal 5 and just to use a material lower than the melting point of the 1st conductive terminal 5 for the 2nd conductive terminal 10 in order to change the melting point mutually. or it is shown in the constitutional diagram of drawing 4 -- as -- the 2nd conductive terminal 10 -- eutectic solder (Pb63wt%.) with a melting point of about 183 ** Solder other than eutectic solder for example the melting point should just use the solder I (Pb83wt% and Sn17wt%) and the solder II (Pb55wt% and Sn45wt%) of around 200 ** for the 1st conductive terminal 5 using Sn37wt%.

[0022]according to the semiconductor device concerning one embodiment it

is comparatively cheap like resin printing solder ball loading and cutting of a pellicle and is the combination of the process excellent in mass production nature -- it can manufacture by **. For this reason the manufactured semiconductor device can be provided cheaply.

[0023] In the semiconductor device concerning one embodiment since heat melting of the 1st conductive terminal 5 is carried out and it is formed it becomes hemispherical. The 1st hemispherical conductive terminal 5 is shape of what is called tapering off which takes for keeping away from the surface of the 1st insulating resin layer and becomes thin. The shape of the 1st conductive terminal 5 is tapered off then the 1st conductive terminal 5 becomes difficult to escape from the 2nd insulating resin layer 7. Therefore the 1st conductive terminal 5 that has tapering shape can acquire the advantage that the reliability about connection increases. a certain ***** (a truncated cone.) besides a spherical segment which is surrounded by the above-mentioned spherical zone as tapering shape The area of the section of the portion exposed from the 2nd insulating resin layer 3 among the 1st conductive terminal 5 such as gimlets (a cone a pyramid etc.) such as a truncated pyramid or a convex shape should just be the shape which becomes smaller than the area of the section in the 2nd insulating resin layer 3.

[0024]

[Effect of the Invention] As explained above according to this invention while being able to manufacture cheaply and excelling in mass production nature a semiconductor device in which a possibility that a terminal will break away has the structure which becomes small and a manufacturing method for the same can be provided.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A) - (D) is a sectional view showing the semiconductor device applied to one embodiment of this invention respectively for every main manufacturing processes.

[Drawing 2] Drawing 2 (A) - (C) is a sectional view showing the semiconductor device applied to one embodiment of this invention respectively for every main manufacturing processes.

[Drawing 3] Drawing 3 is a top view showing roughly the semiconductor device concerning one embodiment of this invention.

[Drawing 4] Drawing 4 is a constitutional diagram of solder.

[Description of Notations]

- 1 -- Rewiring layer
- 2 -- Chip
- 3 -- The 1st insulating resin layer
- 4 -- Terminal arrangement part
- 5 -- The 1st conductive terminal
- 6 -- Solder ball
- 7 -- The 2nd insulating resin layer
- 8 -- Pellicle portion
- 9 -- Solder ball
- 10 -- The 2nd conductive terminal.
